

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-23376

(P2001-23376A)

(43)公開日 平成13年1月26日(2001.1.26)

(51)Int.Cl.⁷
 G 1 1 C 11/419
 16/06
 H 0 1 L 29/786
 // H 0 3 K 5/02

識別記号

F 1
 G 1 1 C 11/34
 H 0 3 K 5/02
 G 1 1 C 17/00
 H 0 1 L 29/78

テ-テコ-ト⁷ (参考)

3 1 1

Z

6 3 4 C

6 1 3 B

6 1 4

審査請求 有 請求項の数15 O.L (全 6 頁)

(21)出願番号 特願2000-144792(P2000-144792)
 (22)出願日 平成12年5月17日(2000.5.17)
 (31)優先権主張番号 0 9 / 3 1 6 7 5 3
 (32)優先日 平成11年5月21日(1999.5.21)
 (33)優先権主張国 米国(US)

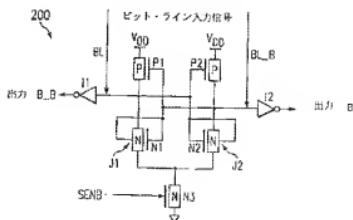
(71)出願人 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESSES MACHINES CORPORATION
 アメリカ合衆国10504、ニューヨーク州
 アーモンク(番地なし)
 (72)発明者 ヴィスウェスウェラ・ラオ・コダリ
 アメリカ合衆国78753 テキサス州オース
 チン チリップ・コーグ 1003
 (74)代理人 100086243
 弁理士 坂口 博(外2名)
 最終頁に続く

(54)【発明の名称】 SOIトランジスタを用いた回路およびSOIトランジスタの応答時間を減少させる方法

(57)【要約】

【課題】本発明は、SOIを用いた回路素子を含む回路構成に関するものであり、特にSOIを用いたアンプの応答時間を改善するものである。

【解決手段】SOI技術を用いた差動入力センス・トランジスタN1、N2の本体(ボディ)J1、J2が差動データ入力B_L、B_L_B、それぞれのゲート、およびブリ・チャージ・トランジスタP1、P2に接続される。これにより、差動入力センス・トランジスタN1、N2のトランジスタ・ターンオン電圧が予測可能となり、応答時間が高速化される。



【特許請求の範囲】

【請求項1】第1のトランジスタのトランジスタ本体電圧を前記第1のトランジスタのゲート電圧に設定し、前記第1のトランジスタの前記ゲート電圧を用いて、前記第1のトランジスタを動作させることを含む、SOIトランジスタの応答時間を減少させる方法。

【請求項2】第2のトランジスタのトランジスタ本体電圧を前記第2のトランジスタのゲート電圧に設定し、前記第2のトランジスタの前記ゲート電圧を用いて、前記第2のトランジスタを動作させることをさらに含む、請求項1に記載のSOIトランジスタの応答時間を減少させる方法。

【請求項3】前記第1と第2のトランジスタは、入力センス・トランジスタである。請求項2に記載のSOIトランジスタの応答時間を減少させる方法。

【請求項4】トランジスタ本体、ゲート、ソースおよびドレインを有する第1のトランジスタと、前記第1のトランジスタの前記トランジスタ本体に接続され、かつ前記第1のトランジスタの前記ゲートに接続されたデータ信号入力をとる、応答時間を減少させたSOIトランジスタを用いた回路。

【請求項5】トランジスタ本体、ゲート、ソースおよびドレインを有する第2のトランジスタと、前記第2のトランジスタの前記トランジスタ本体に接続され、かつ前記第2のトランジスタの前記ゲートに接続された第2のデータ信号入力をとる、請求項4に記載の回路。

【請求項6】前記第1と第2のトランジスタは、入力センス・トランジスタである。請求項4に記載の回路。

【請求項7】前記回路は、差動入力センス・アンプである。請求項4に記載の回路。

【請求項8】第1のトランジスタのトランジスタ本体電圧を第1のブリ・チャージ電圧にブリ・チャージし、前記第1のトランジスタの前記ゲート電圧を用いて、前記第1のトランジスタを動作させることを含む、SOIトランジスタの応答時間を減少させる方法。

【請求項9】第2のトランジスタのトランジスタ本体電圧を第2のブリ・チャージ電圧へブリ・チャージし、前記第2のトランジスタの前記ゲート電圧を用いて、前記第2のトランジスタを動作させることをさらに含む、請求項8に記載のSOIトランジスタの応答時間を減少させる方法。

【請求項10】前記第1と第2のブリ・チャージ電圧の前記トランジスタ本体電圧は、前記第1と第2のトランジスタの少なくとも1つのトランジスタの動作の間維持される。請求項9に記載のSOIトランジスタの応答時間を減少させる方法。

【請求項11】前記第1と第2のトランジスタの1つが入力センス・トランジスタである。請求項9に記載のSOIトランジスタの応答時間を減少させる方法。

【請求項12】トランジスタ本体、ゲート、ソースおよびドレインを有する第1のトランジスタと、前記第1のトランジスタの前記トランジスタ本体へ接続したブリ・チャージ入力と、前記第1のトランジスタの前記ゲートへ接続したデータ信号入力をとる、応答時間を減少させたSOIトランジスタを用いる回路。

【請求項13】トランジスタ本体、ゲート、ソースおよびドレインを有する第2のトランジスタと、

前記第2のトランジスタの前記トランジスタ本体へ接続したブリ・チャージ入力と、前記第2のトランジスタの前記ゲートへ接続したデータ信号入力をとる、請求項12に記載の回路。

【請求項14】前記第1と第2のトランジスタは、入力センス・トランジスタである。請求項13に記載の回路。

【請求項15】前記回路は、差動入力センス・アンプである。請求項13に記載の回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコンオンインシュレータ(SOI)技術に関するものである。さらに詳しくは、本発明は、SOIを用いた回路素子を含む回路構成に関するものである。さらにもっと詳しくは、本発明は、SOIを用いたアンプの応答時間を改善することに関するものである。

【0002】

【従来の技術】シリコンオンインシュレータ(SOI)型薄膜トランジスタは、絶縁体膜を有する半導体基板上に形成された半導体層につくられた活性領域(ソース/ドレイン領域)を含む。活性領域が半導体基板から隔離されるので、SOI型薄膜トランジスタは、活性領域の接合キャパシタンスが非常に小さく、したがって高速、かつ低消費電力での動作を可能にするという特徴を有する。

【0003】

【発明が解決しようとする課題】SOIトランジスタの本体領域、すなわち、トランジスタが形成される半導体層のボディ領域が浮いているとき、本体の色々な電圧レベルがトランジスタ・ターンオン電圧に影響を及ぼす。トランジスタ・ターンオン電圧は回路データ状態の前後の閾値となるため、センス・アンプのような用途での性能が低下する。トランジスタ・ターンオン電圧に影響を及ぼす色々な電圧は、一定ではなく変動する。このため、動作の予測可能性が問題となる。SOIトランジスタの本体電圧レベルが、グランドまたはVDDに設定されると、SOIトランジスタ閾値電圧がバケ型デバイスの閾値電圧に下げられるため、SOIトランジスタの速度の利点が減少する。

【0004】

【課題を解決するための手段】高速な状態遷移時間が必要とされ、SOI技術が用いられる回路では、応答および状態遷移時間の予測は、差動入力センス・トランジスタの本体の電圧レベルを差動データ入力へ接続することにより効果的に行なわれる。差動入力センス・トランジスタを各々のプリ・チャージ入力へ接続することにより、差動入力センス・トランジスタのトランジスタ・ターンオン電圧が予測可能となり、また速度性能が向上する。そのようにすることにより、本体電圧は、回路入力電圧信号に追従し、差動入力センス・トランジスタの応答時間を高速化する。

【0005】

【発明の実施の形態】図1は、従来技術において既知であるセンス・アンプの回路図を示す。差動センス・アンプ回路100は、3つのN型CMOSトランジスタ、N1、N2およびN3からなる。トランジスタN1とN2のソースは、3番目のN型CMOSトランジスタN3のドレインへ接続される。トランジスタN3のゲートは、センス・イネーブル入力SEN_Bへ接続され、トランジスタN3のソースは、グラントへ接地される。トランジスタN1のドレインは、トランジスタP1のドレインへ接続され、トランジスタP1とN1のゲートは、いっしょに結合される。トランジスタP1のソースは、電圧VDDへ接続される。同様に、トランジスタN2のドレインは、トランジスタP2のドレインへ接続され、トランジスタP2とN2のゲートは、いっしょに結合される。トランジスタP2のソースもまた、入力電圧VDDへ接続される。

【0006】差動センス・アンプ回路100は、2つのインバータI1とI2も含む。インバータI1の入力は、トランジスタP2およびN2のゲートと、トランジスタP1およびN1のドレインとに接続される。インバータI2の入力は、トランジスタP1およびN1のゲートと、トランジスタP2およびN2のドレインとに接続される。ビット・ライン電圧BLは、インバータI1の入力へ与えられ、ビット・ライン電圧BL_Bは、インバータI2の入力へ与えられる。

【0007】トランジスタN1とN2について戻って参照すると、N1のトランジスタ本体(ボディ)は、ジャンクションJ1で、グラントへ接地されることに注意されたい。同様に、N2のトランジスタ本体は、ジャンクションJ2により接地される。両トランジスタN1とN2の本体は、ビット・ラインBLとBL_B上の信号の状態(ハイまたはローのどちらか)に関係なく、グラントへ接地のままである(または、ローである)。トランジスタN1とN2の本体は、代替的に電圧VDDへ接続させることができる(図示していない)。

【0008】差動センス・アンプ回路100の動作について説明すると、トランジスタN1とN2は、入力ラインBLとBL_B上の回路に与えられる差動ビット・ラ

イン電圧を検出する。通常のように、一方の入力電圧ライインは、もう一方の相補である。トランジスタP1とP2は、アンプ入力段のブル・アップ・デバイスとして動作する。トランジスタN3は、センス・アンプをイネーブルするために用いられ、差動入力がビット・ライン入力BLとBL_Bの間に生成される。差動センス・アンプ100からの出力信号は、インバータI1とI2によってさらに増幅される。ビット・ライン電圧は、ラインBLとBL_Bから与えられ、そして、出力は、インバータI1とI2を介して反転されて増幅され、出力BL_BとBLとして与えられる。このアンプは、期待通りに動作するが、差動センス・アンプ100のパフォーマンスは、所望したよりも遅い。

【0009】図1に示した差動センス・アンプ100の第2の変形(図示していない)では、トランジスタN1とN2の本体を浮動させる。すなわち、ジャンクションJ1を介して、トランジスタN1をグラントへ接地するのではなく、本体をグラントから隔離したままにする。同様に、ジャンクションJ2を介して、トランジスタN2の本体をグラントへ接地するのではなく、グラントよりも高い電位に浮動させる。トランジスタN1とN2の本体を浮動させることにより、次の問題が発生する。ラインBLまたはBL_Bのどちらかのビット・ラインがスイッチするとき、しばしば、トランジスタN1またはN2のどちらかに対応したバスの本体がより低い電位を有し、そのため、トランジスタのターンオン電圧の不整合が発生する。トランジスタN1またはN2の下の領域がグラントへ接地されないと、トランジスタ本体電圧は、トランジスタのターンオン電圧VTに影響を及ぼす色々な電圧レベルに浮動する。多くのアブリケーションでは、トランジスタのターンオン電圧が回路データ状態の前歴の閾値として変動するのは好ましくない。ターンオン電圧が古いデータ状態に影響されるのは問題である。このため、トランジスタ応答の予測が問題となる。

【0010】差動センス・アンプ100の動作において、ビット・ライン入力BLとBL_Bが、ハイにブリ・チャージされ、センス・アンプ・イネーブルSEN_Bは、オフまたはローである。反転された出力BとBL_Bは、ローまたはオフである。トランジスタN1とN2がオンであり、トランジスタP1とP2はオフである。ノイズ閾値を越える十分な電位差がビット入力ラインBLとBL_Bの間に形成される、所定時間をおいた後に、センス・アンプ・イネーブルSEN_Bは、ハイになる。ビット入力ラインBLとBL_Bのデータは、一方のビット入力ライン、例えばBLをハイのままにし、一方その相補側のビット入力ライン、例えばBL_Bは、ローになり、トランジスタP1をオンにし、トランジスタN1をオフにする。この場合、入力ラインBLしかハイであるから、トランジスタN2がオンであり、かつトランジスタP2がオフである。このように、交差結合したラッ

チがトリガされ、ビット・ライン値を取り込む。このブロセスは、サイクル毎に繰り返す。

【0011】本発明の好ましい実施例によると、ここで述べた問題に対する解決法は、トランジスタの本体領域から、それぞれのゲートに供給される制御データ入力信号へ、差動入力センス・トランジスタの接続を提供することにより実現される。このことは、本体電圧が回路入力電圧に追従し、かつセンス・アンプ回路での増幅動作を助けることを可能にする。このようにして、応答時間の速度をあげ、また同時に、トランジスタ応答または動作が予測可能となるよう閾値づけられた既知の制御された本体電圧を与えることができる。

【0012】図2は、本発明の好ましい実施例による差動センス・アンプ回路を示す。差動センス・アンプ200は、本質的には、図1の差動センス・アンプ100で示したものと同じ回路である。しかしながら、トランジスタN1とN2のジャンクションJ1とJ2が、それぞれのトランジスタの本体をグラウンドへ接続するのではなく、トランジスタN1の本体がジャンクションJ1を介して、ビット・ライン電圧入力BL_Bへ接続され、トランジスタN2の本体は、ジャンクションJ2を介して、ビット・ライン電圧入力BL_Bへ接続される。このように、差動センス・アンプ200は、差動センス・トランジスタの本体電圧がトランジスタ入力電圧信号に設定され、グラウンドまたは固定されたV_{DD}電圧に設定されない点で、基本的に從来技術とは異なる。本発明の好ましい実施例によると、トランジスタN1とN2の両本体は、各々、ビット・ラインBL_BとBLのプリ・チャージにより、最初ハイにプリ・チャージされる。それぞれのゲートに結ばれる。このことが、デバイスを速い状態、または、低いV_Tにする。ビット・ライン間に十分な差動電圧を与える所定の時間をおいた後に、センス・アンプ入力SEN_Bがオンになり、ハイになる。

【0013】回路動作において、ビット入力ラインBL_B電圧がビット入力ラインBLより約2.0ミリボルト低いものと想定する。こうすると、トランジスタN1の本体が、低い電位またはより高いV_Tとなり、トランジスタN1のゲートもまた、トランジスタN2のゲートは、最大またはハイであり、かつトランジスタN2の本体も最大であり、トランジスタN2を速い状態にする。上述した本体・ゲート電位の上述の設定は、より速くトランジスタN1をオフにし、かつより速くトランジスタN2をオンにし、ラッチ構造にビット値をすばやく取り込ませる。

【0014】図3は、従来技術の差動センス・アンプの代替の実施例を示す回路図である。差動センス・アンプ300は、5つのN型CMOSトランジスタからなる。トランジスタN1とN2のソースは、トランジスタN3とN4のドレインへ接続される。トランジスタN3とN

4のソースは、第5のN型CMOSトランジスタN5へ接続される。トランジスタN5のゲートは、センス・イネーブル入力SEN_Bへ接続され、ゲートN5のソースは、グラウンドへ接地される。トランジスタN1のドレインは、トランジスタP1とP3のドレインへ接続され、トランジスタP1とN1のゲートは、いっしょに結合される。トランジスタP1とP3のソースは、電圧V_{DD}へ接続される。差動センス・アンプ回路300のもう一方の側は、トランジスタN2のドレインがトランジスタP2とP4のドレインへ接続され、トランジスタP2とN2のゲートがいっしょに結合される。トランジスタP2とP4のソースもまた、入力電圧V_{DD}へ接続される。

【0015】差動センス・アンプ回路300は、2つのインバータI1とI2も含む。インバータI1の入力は、トランジスタP2およびN2のゲートと、トランジスタP1、P3およびN1のドレインとへ接続される。インバータI2の入力は、トランジスタP1およびN1のゲートと、トランジスタP2、P4およびN2のドレインとへ接続される。ビット・ライン電圧BL_Bは、トランジスタN3のゲートへ与えられる。ビット・ライン電圧BL_Bは、トランジスタN4のゲートへ与えられる。センス・イネーブル入力SEN_Bは、トランジスタN5、P3およびP4へ接続される。トランジスタN1とN2に戻って参照すると、トランジスタN1の本体が、ジャンクションJ1でグラウンドへ接地されることに注意されたい。同様に、トランジスタN2の本体も、ジャンクションJ2によってグラウンドへ接地される。両トランジスタN1とN2の本体は、ビット・ラインBLとBL_Bの信号の状態に関係なくグラウンドへ接地される。トランジスタN1とN2の本体は、代替的に電圧V_{DD}へ接続せざることができる(図示していない)。トランジスタN3とN4の本体もまた、ジャンクションJ3とJ4を介して、各々、グラウンドへ接地される。

【0016】図3に示した差動センス・アンプ回路300の第2の変形(図示していない)では、トランジスタN1、N2、N3およびN4の本体を浮動させる。すなわち、ジャンクションJ1、J2、J3およびJ4を介して、トランジスタN1、N2、N3およびN4をグラウンドへ接続するのではなく、トランジスタ本体をグラウンドから隔離したままにする。動作において、センス・アンプ・イネーブルSEN_Bは、差動センス・アンプ回路300では、最初オフまたは0である。トランジスタP3とP4はオンであり、V_{DD}へトランジスタP1、P2、N1およびN2のゲートをプリ・チャージする。プリ・チャージ電圧により、インバータI1とI2からの出力BとBL_Bはローのままである。トランジスタN1とN2のゲートのプリ・チャージは、また、現在導通しているトランジスタN1とN2を介して、トランジスタN3とN4のドレインをプリ・チャージするように電圧V_{DD}を結合する。ノイズ閾値を越える十分な電位差がビ

ット入力ライン B_L と B_{L_B} の間につくられる、所定時間をおいた後に、センス・アンプ・イネーブルSEN Bは、ハイになる。ビット入力ライン B_L と B_{L_B} のデータは、一方のビット入力ライン、例えば B_L をハイのままにし、一方その相補側のビット入力ライン B_{L_B} はローになり、トランジスタN4をオフにする。この場合、トランジスタN3は、オンのままである。トランジスタN4をオフにする動作は、トランジスタP1とN1のブリ・チャージ・レベルを維持する効果を有するが、トランジスタN5をオンにする動作は、トランジスタN5を介して、トランジスタN1とN3のドレインのブリ・チャージをグランドへ放電する効果を有する。トランジスタN1とN3のブリ・チャージが放電されると、トランジスタP2がオンになり、そして、トランジスタN2がオフになる。それは、それぞれのゲートのブリ・チャージ電圧がトランジスタN1とN3を介し、最後にトランジスタN5を介して放電されるためである。このようにして、交差結合したラッ奇がトリガされ、ビット・ライン値を取り込む。このプロセスは、サイクル毎に繰り返す。別の言葉で言えば、センス・アンプ・イネーブルSEN Bがハイになると、差動センス・アンプ回路300は、事実上差動センス・アンプ回路100のように見える。このプロセスは、サイクル毎に繰り返す。

【0017】図4は、本発明の好ましい実施例による差動センス・アンプ回路を示す。差動センス・アンプ400は、本質的には、図3に示した回路と同じ回路である。しかしながら、トランジスタN1とN2のジャンクションJ1とJ2が、各々のトランジスタの本体をグランドへ接続するのではなく、トランジスタN1の本体は、ブリ・チャージ状態で電圧VDDである。そのゲート制御電圧へ接続される。トランジスタN2の本体もまた、ブリ・チャージ状態で電圧VDDである。そのゲート制御電圧へ接続される。さらに、トランジスタN3の本体もまた、ジャンクションJ3を介して、ブリ・チャージ状態で電圧VDDである。トランジスタN1のゲート制御電圧へ接続される。また、トランジスタN4の本体は、ジャンクションJ4を介して、ブリ・チャージ状態で電圧VDDである。トランジスタN2のゲート制御電圧へ接続される。

【0018】このため、差動センス・アンプ400は、差動センス・トランジスタの本体電圧が、少なくとも最初は、ブリ・チャージ電圧VDDであるトランジスタ入力電圧信号に設定される点で、従来技術とは根本的に異なる。

【0019】本発明の好ましい実施例によると、トランジスタN1、N2、N3およびN4の本体は、トランジスタP3とP4を介するブリ・チャージ電圧VDDによって、最初ハイにブリ・チャージされる。このことが、デバイスを速い状態または低いV_Tにする。ビット・ライ

ン間に十分な差動電圧を与えるための所定の時間をおいた後に、センス・アンプSEN Bがオンになり、そして、 B_L と B_{L_B} 間のビット入力ライン差の検出に応答してハイになる。 B_{L_B} 電圧がビット入力ライン B_L より約200ミリボルト低いものと想定する。トランジスタN3のゲートは、ハイになるビット・データ・ライン B_L により、最大またはハイであり、またトランジスタN3の本体は、電圧Vppのブリ・チャージのためにハイであり、トランジスタN3を非常に速い状態または低いV_Tにする。このようにして、トランジスタN3はオンになり、トランジスタN5を介して、グランドへのバスを完成させる。

【0020】トランジスタN3を介する、グランドへのバスの完成で、トランジスタP2とN2のゲートのブリ・チャージ電圧Vppは、トランジスタN2とN4の本体のブリ・チャージ電圧VDDとともに、グランドへ放電する。トランジスタN4の本体のブリ・チャージ電圧の放電は、トランジスタ本体を低電位および高V_T状態にし、トランジスタ本体をブリ・チャージしない場合よりも速く、トランジスタN4をオフにする。電圧 B_{L_B} が B_{L_B} よりも高いため、トランジスタN4のゲートはトランジスタN3のゲートよりも低い。前述した本体・ゲート電位の設定は、より速くトランジスタN3をオフにし、かつトランジスタN4をより速くオンにし、したがってトランジスタN1、N2、P1およびP2のラッチ構造にビット値をすばやく取り込ませることができる。

【0021】本発明は、十分に機能する差動センス・アンプ回路について述べられてきたが、当業者ならば、本発明の技法が種々の回路構成で実施可能なことを理解されよう。本発明の説明は、例示のために示されたものであり、開示された形式に本発明を限定するものではない。多くの変更と変化が可能なことは、当業者には明らかであろう。

【0022】

【図面の簡単な説明】

【図1】従来の差動センス・アンプ回路を示す。

【図2】本発明の好ましい実施例による差動センス・アンプ回路を示す。

【図3】従来の差動センス・アンプの代替実施例回路を示す。

【図4】本発明の好ましい実施例による差動センス・アンプ回路を示す。

【符号の説明】

100 センス・アンプ回路

200 センス・アンプ回路

300 センス・アンプ回路

400 センス・アンプ回路

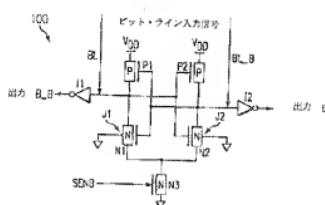
P x トランジスタ

N x トランジスタ

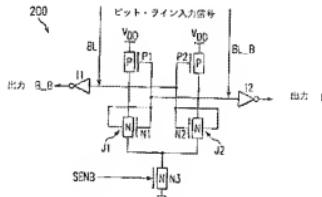
I x インバータ
 J x ジャンクション
 V_{DD} 電圧
 B L ビット・ライン

B L_B ピット・ライン
 B_B ピット・ライン
 B_B_B ピット・ライン
 S E N B センス・アンプ・イネーブル

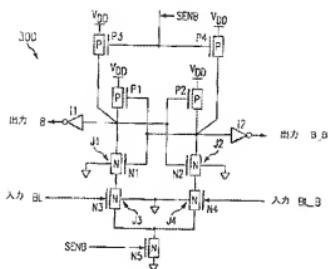
【図1】



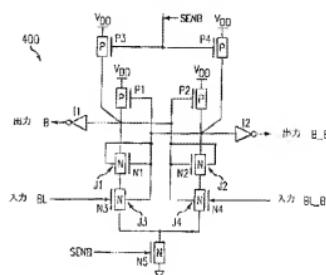
【図2】



【図3】



【図4】



フロントページの続き

(72) 発明者 ミカエル・ジュイエオク・リー
 アメリカ合衆国78758 テキサス州オース
 チン メトリック・ブルヴァード ナン
 パ1028 11701

(72) 発明者 サリム・アーメド・シャー
 アメリカ合衆国78746 テキサス州オース
 チン スパイグラス・ドライヴ ナンバ
 1117 1741